

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-162900

(43)Date of publication of application : **08.06.1992**

(51)Int.Cl.

H04S 7/00

(21)Application number : **02-289236**

(71)Applicant : **SANYO ELECTRIC CO LTD**

(22)Date of filing : 26.10.1990

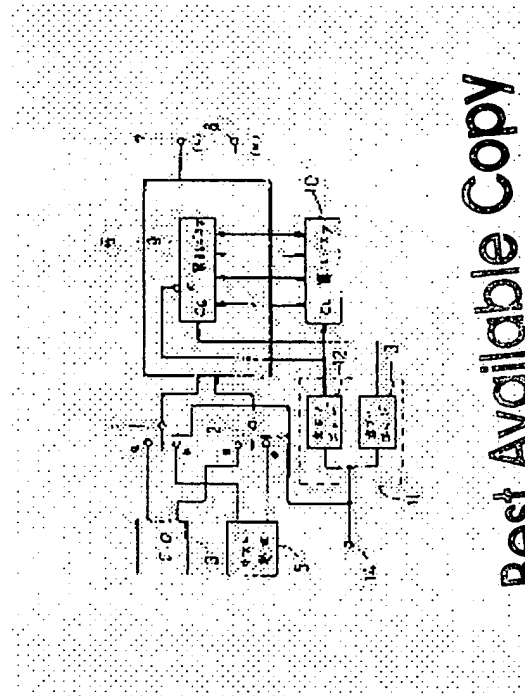
(72)Inventor : ISHIKAWA TSUTOMU
MEYA MASATO

(54) BALANCE ADJUSTMENT DEVICE

(57)Abstract:

PURPOSE: To avoid an event that 2nd balance adjustment may take much time when a test signal generator is once selected and released again by storing the adjustment value of a balance adjustment circuit in a register while a test signal is applied and the stored adjustment value is returned to the balance adjustment circuit after the end of the period.

CONSTITUTION: The adjustment device is provided with a 2nd register 9 built in a balance adjustment circuit 6 and storing the adjustment value in response to the level difference of a left and right stereo signal, a 1st register 10 storing the data stored in the 2nd register 9 during the application of the test signal, and a detection circuit 11 waveform-shaping a switching control signal from a control terminal 14. In this case, when a test signal period is finished and the signal falls down, the trailing is detected by a trailing edge detection circuit 13 and fed to a clock terminal of the 2nd register 9, the 2nd register 9 fetches the data of the 1st register 10. Since the data is the same as that stored in the 2nd register 9 just before the test signal period, the adjustment is immediately executed when the left/right stereo signal is applied.



Best Available Copy

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-162900

⑬ Int. Cl.⁵

H 04 S 7/00

識別記号

Z

庁内整理番号

8421-5H

⑭ 公開 平成4年(1992)6月8日

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 バランス調整装置

⑯ 特 願 平2-289236

⑰ 出 願 平2(1990)10月26日

⑱ 発 明 者 石 川 勉 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑲ 発 明 者 女 屋 正 人 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑳ 出 願 人 三 洋 電 機 株 式 会 社 大阪府守口市京阪本通2丁目18番地
㉑ 代 理 人 弁 理 士 西 野 卓 嗣 外2名

明 細 書

1. 発明の名称

バランス調整装置

2. 特許請求の範囲

(1) チャンネル間のバランス調整が必要である信号源からの信号のバランス調整を行なうとともにその調整値を保持出来るバランス調整回路を備えたバランス調整装置であって、

チャンネル間のバランス調整が不要であるテスト信号発生器と、

前記バランス調整回路に前記テスト信号発生器からのテスト信号が印加されていることを検出する検出回路と、

該検出回路の第1検出出力信号に応じて前記バランス調整回路の調整値を取り込み保持するとともに、前記検出回路の第2検出出力信号に応じて保持していた前記調整値を前記バランス調整回路に戻す第1レジスタと、

を備えることを特徴とするバランス調整装置。

(2) 前記バランス調整回路は、第2レジスタを

備えており、前記第1検出出力信号は、前記第1レジスタにクロック信号として、第2レジスタにリセット信号として印加され、前記第2検出出力信号は、前記第2レジスタにクロック信号として印加されることを特徴とする請求項第1項記載のバランス調整装置。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は、左右ステレオ信号のチャンネル間のアンバランスを調整するバランス調整装置に関するもので、特にテスト信号を印加するテストモードがバランス調整に悪影響を与えない様工夫されたバランス調整装置に関する。

(ロ) 従来の技術

左右ステレオ信号を、それぞれ異なるチャンネルを用いて伝送するステレオ装置においては、各チャンネルを構成する回路や素子のバラツキ等により、アンバランスを生じる場合がある。例えば、アナウンサの声は、左右スピーカの中央に定位しなければならないが、前述の如くチャンネル

間にアンバランスが生じると、左又は右に片寄った位置に定位し、聴感を損なう。

その為、従来から、左右チャンネルのバランスを取る為のバランス調整装置が提案され、使用に供された。又、前記ステレオ装置の信号源としては、コンパクトディスクプレーヤやビデオディスクプレーヤ等種々のものがあるが、各プレーヤによりチャンネル間のアンバランス量が異なっている。そこで、前記ステレオ装置のバランス調整装置では、各プレーヤ毎にバランス調整を切換えて行なっていた。第2図は、その様なバランス調整装置の一例を示すもので、連動して動作する第1及び第2スイッチ(1)及び(2)を切換えることにより、コンパクトディスクプレーヤ(3)、ビデオディスクプレーヤ(4)及びテスト信号発生器(5)の出力が選択的にバランス調整回路(6)に印加される。選択された2つの信号は、バランス調整回路(6)でレベルが等しくなるように制御され、レベルの等しい左右ステレオ信号がL(左)出力端子(7)及びR(右)出力端子(8)に得られ

る。

尚、最近のステレオ装置では、左右の正しく対応したスピーカから等しい音量で放音されているか否か、テストするための左右全く等しいテスト信号を発生するテスト信号発生器(5)が備えられている。これにより、バランス調整回路(6)の後段の回路に起因する左右のアンバランスも補正できる。

(h) 発明が解決しようとする課題

しかしながら、第2図の回路において、コンパクトディスクプレーヤ(3)又はビデオディスクプレーヤ(4)を選択している状態の途中で一時的にテスト信号発生器(5)を選択すると、復起後の再調整に時間がかかる恐れがあった。

第2図のバランス調整回路(6)は、モノラル信号(入力される左右ステレオ信号が互いに等しい場合)が印加された時のみバランス調整が可能である。即ち、バランス調整作業は、常時行なえる訳ではなく、ソースによっては時おりしか調整されない場合がある。その為、テスト信号発生器

(5)を一旦選択し、再び戻すと再度のバランス調整に時間のかかる場合が起こり問題となった。

(二) 課題を解決するための手段

本発明は、上述の点に鑑み成されたもので、チャンネル間のバランス調整が必要である信号源からの信号のバランス調整を行なうとともにその調整値を保持出来るバランス調整回路を備えたバランス調整装置であって、チャンネル間のバランス調整が不要であるテスト信号発生器と、前記バランス調整回路に前記テスト信号発生器からのテスト信号が印加されていることを検出する検出回路と、該検出回路の第1検出出力信号に応じて前記バランス調整回路の調整値を取り込み保持するとともに、前記検出回路の第2検出出力信号に応じて保持していた前記調整値を前記バランス調整回路に戻す第1レジスタと、を備えることを特徴とする。

(*) 作用

本発明に依れば、バランス調整回路の調整値をテスト信号が印加される期間、第1レジスタで保

持し、前記期間終了後、保持していた調整値を前記バランス調整回路に戻している。

(ハ) 実施例

第1図は、本発明の一実施例を示す回路図で、(9)は、バランス調整回路(6)に内蔵され左右ステレオ信号のレベル差に応じた調整値を保持する第2レジスタ、(10)は該第2レジスタ(9)に保持されたデータをテスト信号印加中に保持する第1レジスタ、(11)は、立上りエッジ検出回路(12)及び立下りエッジ検出回路(13)を備え、制御端子(14)からの切換制御信号を波形整形する検出回路である。

尚、第1図において、第2図と同一の回路素子については同一の符号を付し、説明を省略する。

第1図において、例えば制御端子(14)に「L」レベルの制御信号が加わり、第1及び第2スイッチ(1)及び(2)が共にa側に切換わり、コンパクトディスクプレーヤ(3)からの信号が選択されたとする。選択された左右ステレオ信号は、バランス調整回路(6)で互いにレベルが等しくなるように

制御され、その時の制御量即ち調整値が第2レジスタ(9)に保持される。その結果、レベルの揃った左右ステレオ信号がL及びR出力端子(7)及び(8)に得られる。

上述の状態で、一時的にテストモードにする。テストモードになると、制御端子(14)に「H」レベルの制御信号が加わり、その波形は第3図(イ)の如く示される。第3図(イ)の信号が立上りエッジ検出回路(12)に印加されると、その出力は第3図(ロ)の如くなる。第3図(ロ)の時刻 t_1 の立上り信号は、第1レジスタ(10)のクロック(CL)端子に印加される。すると、第1レジスタ(10)は、その時の第2レジスタ(9)のデータを取り込み保持する。そして、時刻 t_2 になると、第3図(ロ)の立下り信号が第2レジスタ(9)のリセット(R)端子に印加される。第2レジスタ(9)は、リセットされると調整値が零となり、バランス調整回路(6)が左右のバランス調整を行なわなくなる。一方、この時、第3図(イ)の「H」レベルの信号に応じて、第1及び第2スイッチ(1)及び(2)は、b

側に切り替わり、テスト信号が選択されているので、該テスト信号は何ら制御されずL及びR出力端子(7)及び(8)に発生する。

そして、テスト信号期間を終えて、第3図(イ)の信号が立下がると、その立下がりを立下りエッジ検出回路(13)が検出し、第3図(ハ)の信号を発生する。時刻 t_3 の第3図(ハ)の立上り信号は、第2レジスタ(9)のクロック端子に印加される。すると、第2レジスタ(9)は、その時の第1レジスタ(10)のデータを取り込み保持する。このデータは、第2レジスタ(9)がテスト信号期間直前に有していたものと同じであるので、第1及び第2スイッチ(1)及び(2)が切り替わりコンパクトディスクプレーヤ(3)からの左右ステレオ信号が印加されるとただちに調整を実行出来る。換言するならば、バランス調整回路(6)は、再調整を行なう必要がなく、調整不要な状態となる。

従って、第1図の回路に依ればあるモードからテストモードに一時的に切換えてもバランス調整に悪影響を及ぼすことがない。

第4図は、第1図のバランス調整回路(6)の具体例を示すもので、(15)は左ステレオ信号が印加される左入力端子、(16)は右ステレオ信号が印加される右入力端子、(17)は左ステレオ信号が導出される左出力端子、(18)は右ステレオ信号が導出される右出力端子、(19)は左伝送路(チャンネル)に挿入された左減衰回路、(20)は右伝送路(チャンネル)に挿入された右減衰回路、(21)は左右出力端子(17)及び(18)にそれぞれ得られる左右ステレオ信号のレベル比に応じた信号を発生する信号発生回路、(22)は該信号発生回路(21)の出力信号レベルが所定範囲内か否かを判別する判別回路、(23)は該判別回路(22)から得られるタイミング信号に応じて動作する発振回路、(24)は前記信号発生回路(21)の出力信号と基準電圧 V_{ref} とを比較し、方向信号を発生する比較回路、(25)は該比較回路(24)の出力信号に応じて、アップ信号又はダウン信号を発生するアップダウン回路、(26)は前記発振回路(23)の出力信号をクロックとし、前記アップダウン回路(25)の出力信号に応じ

た方向の計数を行なう計数回路、及び(27)は該計数回路(26)の計数値をデコードするデコードである。

いま、説明を簡単にする為、左右入力端子(15)、及び(16)に印加される信号を3種類、すなわち左ステレオ信号のみの状態、右ステレオ信号のみの状態、左右ステレオ信号が略同レベルで印加される状態(モノラル信号と称す)に限定する。

左入力端子(15)に左入力信号のみの印加される第1の状態においては、信号発生回路(21)の出力端に基準電圧 V_{ref} よりも十分大なる出力信号が発生する。判別回路(22)の基準電圧 V_A は、基準電圧 V_{ref} よりも所定値大なる値に設定され、基準電圧 V_B は基準電圧 V_{ref} よりも所定値小なる値に設定されているので、判別回路(22)は入力信号が V_A よりも大又は V_B よりも小のとき「H」の出力信号を、入力信号が V_A と V_B の間にあるとき「L」の出力信号を発生する。しかして、信号発生回路(21)の出力信号が基準電圧 V_{ref} よりも十分大である場合、判別回路(22)の出力は「H」に

なり、発振回路(23)は動作を開始しない。従って、計数回路(26)も計数を開始せず、左右減衰回路(19)及び(20)は、非減衰状態となる。

右入力端子(16)に右入力信号のみが印加される第2の状態においては、信号発生回路(21)の出力端に基準電圧 V_{ref} よりも十分小なる出力信号が発生する。この場合も、判別回路(22)の出力は「H」になり、発振回路(23)が動作せず、左右減衰回路(19)及び(20)は非減衰状態となる。

左右入力端子(15)及び(16)に略等しいレベルの左右ステレオ信号が印加される第3の状態においては、信号発生回路(21)の出力信号の値が V_{ref} 近傍となる。その為、判別回路(22)の出力信号は「L」になり、発振回路(23)は動作を開始し、その出力信号を計数回路(26)にクロックとして印加する。一方、信号発生回路(21)の出力信号は、比較回路(24)にも印加され、基準電圧 V_{ref} と比較される。いま、信号発生回路(21)の出力信号が基準電圧 V_{ref} よりも大であるとすれば、比較回路(24)の出力は「H」になり、アップダウン回路(2

5)からアップ信号が発生し、計数回路(26)の計数方向をアップ方向に定める。その為、計数回路(26)は、発振回路(23)の出力信号をクロックとしてアップ方向の計数を行なう。また、信号発生回路(21)の出力信号が基準電圧 V_{ref} よりも小である場合は、比較回路(24)の出力が「L」になり、アップダウン回路(25)から発生するダウン信号に応じて、計数回路(26)がダウン方向の計数を行なう。

デコーダ(27)は、計数回路(26)の計数値を順次デコードし、左右減衰回路(19)及び(20)を駆動する。その際、デコーダ(27)の出力信号は、左減衰回路(19)に直接印加され、右減衰回路(20)はインバータ(28)を介して印加されているので、左右減衰回路(19)及び(20)は互いに逆方向に制御される。左出力信号のレベルが右出力信号のレベルよりも大の場合は、計数回路(26)がアップ方向の計数を行ない、左減衰回路(19)の減衰量が增大し、右減衰回路(20)の減衰量が減少する。逆に、左出力信号のレベルが右出力信号のレベルよりも小の

場合は、計数回路(26)がダウン方向の計数を行ない、左減衰回路(19)の減衰量が減少し、右減衰回路(20)の減衰量が增大する。すなわち、左右減衰回路(19)及び(20)は、互いに逆方向に制御される。

先に述べた如く、発振回路(23)は、信号発生回路(21)の出力信号 V_x が、 $V_{x1} > V_x > V_{x2}$ の範囲にある限り、発振を継続する。その為、デコーダ(27)は、発振回路(23)の発振が継続する間、計数回路(26)の計数値を順次デコードし、左右減衰回路(19)及び(20)を制御してバランス状態を保つ。尚、計数回路(26)は、リミッタ機能を備えており、所定の計数を行なった時それ以上の計数を行なうことが出来ない様に構成されている。また、左右減衰回路(19)及び(20)の制御に応じて、左右出力端子(17)及び(18)に得られる左右ステレオ信号のレベルが逆転した場合には、計数回路(26)の計数方向が逆転し、同様の減衰動作を行なう。

第4図の計数回路(26)が第1図の第2レジスタ(9)に相当し、リセット信号に応じてアップダウ

ンの中間の値になるようにすれば良い。

尚、本発明は、2チャンネルステレオばかりで無く、4チャンネルステレオ等の多チャンネルステレオにも応用可能である。

(ト) 発明の効果

以上述べた如く、本発明に依れば、テストモードにしてもバランス調整回路の再調整が不要となり、調整時間の短縮を計ることができる。そして、デジタル処理によって調整を行なっているので、構成簡単にして正確に動作するバランス調整装置を提供出来る。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図は従来のバランス調整装置を示す回路図、第3図(イ)乃至(ハ)は第1図の説明に供する為の波形図、及び第4図は第1図のバランス調整回路(6)の具体回路例である。

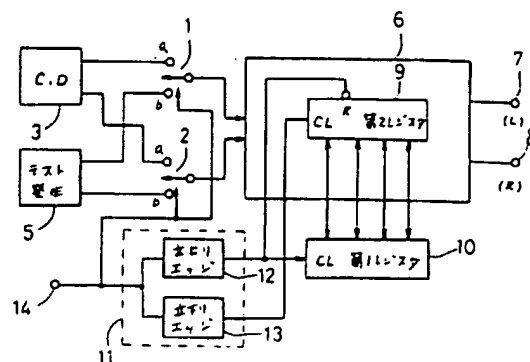
(3)…コンパクトディスクプレーヤ、(5)…テスト信号発生器、(6)…バランス調整回路、(9)…第2レジスタ、(10)…第1レジスタ、

(11)…検出回路。

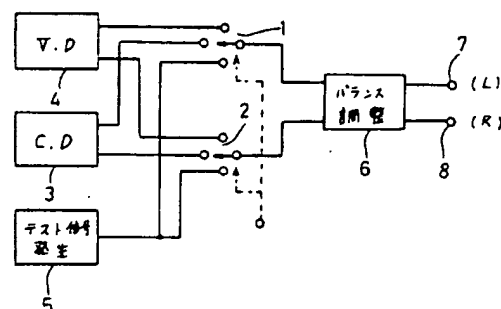
出願人 三洋電機株式会社

代理人 弁理士 西野卓嗣 外2名

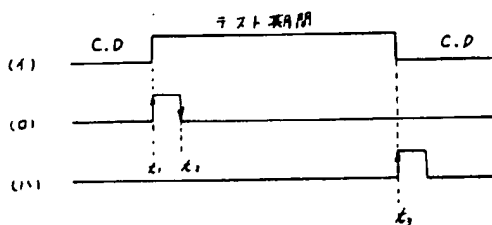
第1図



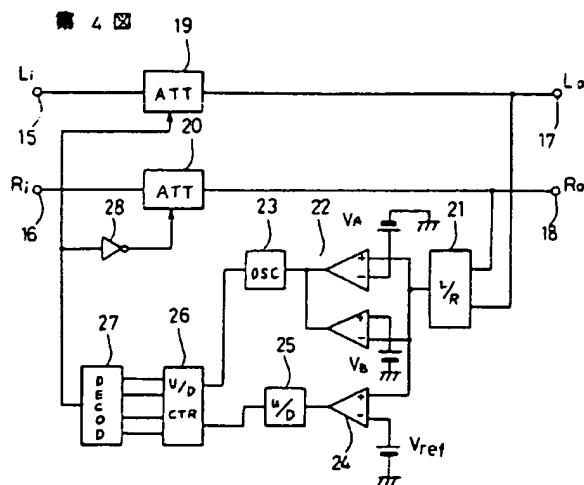
第2図



第3図



第4図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.